



## 目錄 TABLE OF CONTENTS

功能特性.....	1	資料格式.....	9
功能方塊圖.....	1	資料準備/資料輸出(DOUT) .....	9
應用場合.....	1	串列時鐘輸入(SCLK) .....	9
概述.....	1	資料接收.....	10
修訂追蹤.....	2	待機模式.....	11
電器規格.....	3	斷電模式.....	12
電器絕對最大極限值.....	5	斷電後上電順序.....	12
雜訊性能.....	5	應用電路.....	13
晶片引腳.....	6	OIML 應用電路.....	13
功能模組描述.....	7	OIML LAYOUT佈板參考.....	14
模擬輸入.....	7	封裝.....	15
低噪聲放大器.....	7		
復位和斷電.....	7		
數位邏輯特性.....	7		
SPI串口通信.....	8		
ADC轉換建立時間.....	8		
輸出速率.....	9		

## 修訂追蹤

2013/11/25 增加外部晶振輸入，提升溫度特性

## 電器規格-1

所有的參數測試在環境溫度-20~85°C, AVDD=5V · DVDD=5V · REFP=5V · REFN=0V 的條件下測試 CS5555

Table 2.

參數	條件	最小值	典型值	最大值	單位
<b>模擬輸入</b>					
滿幅輸入電壓(AINP-AIN)			$\pm 0.5V_{REF}/PGA$		V
共模輸入電壓	PGA=64 · 128	AGND+1.5		AVDD-1.5	V
共模電壓抑制比			125		dB
差分輸入阻抗	PGA=64 · 128		>1		G $\Omega$
<b>系統性能</b>					
解析度	無失碼		24		Bits
AD速率	時鐘為4.9152MHz		10	80	Hz
建立時間	全建立		4		轉換週期
P-P雜訊	PGA=128 · DR=10Hz		139		nv
積分線性度	PGA=128		$\pm 2$	$\pm 3$	ppm
失調誤差	PGA=128		-1		$\mu$ V
失調誤差漂移	PGA=128		25		nv/ $^{\circ}$ C
增益誤差	PGA=128		$\pm 0.1$		%
增益誤差漂移	PGA=128		$\pm 2$	$\pm 3$	ppm/ $^{\circ}$ C
<b>參考電壓輸入</b>					
負參考電壓輸入	REFN	AGND-0.1		AGND+0.6	V
正參考電壓輸入	REFP	REFN +2.5		AVDD+0.1	V
REFP - REFN		2.5	AVDD	AVDD+0.1	V
參考電壓抑制比			54		dB
<b>電源</b>					
類比電源電壓	AVDD	2.8	5	5.5	V
數位電源電壓	DVDD	2.8	5	5.5	V
電源電壓抑制比	PGA=64 · 128		110		dB
類比部分電流	普通模式	PGA=64 · 128	3		mA
	Standby mode		6		$\mu$ A
	Power down		0.1		$\mu$ A
數位元部分電流	normal mode		400		$\mu$ A
	Standby mode		150		$\mu$ A
	Power down		1.5		$\mu$ A
<b>時鐘</b>					
內部振盪器頻率		4.6	5	5.4	MHz
內置時鐘溫漂			250		ppm/ $^{\circ}$ C
外部振盪器頻率		4	4.9152	5	MHz

## 電器規格-2

所有的參數測試在環境溫度-20~85°C, AVDD=3V · DVDD=3V · REFP=3V · REFN=0V 的條件下測試 CS5555

Table 3.

參數	條件	最小值	典型值	最大值	單位
<b>模擬輸入</b>					
滿幅輸入電壓(AINP-AIN)			0.5VREF/PGA		V
共模輸入電壓	PGA=64 · 128	AGND+1.5		AVDD-1.5	V
共模電壓抑制比			125		dB
差分輸入阻抗	PGA=64 · 128		>1		GΩ
<b>系統性能</b>					
解析度	無失碼		24		Bits
AD速率	時鐘為4.9152MHz		10	80	Hz
建立時間	全建立		4		轉換週期
P-P雜訊	PGA=128 · DR=10Hz		145		nv
積分線性度	PGA=128		±2	±3	ppm
失調誤差	PGA=128		-1		uV
失調誤差漂移	PGA=128		25		nv/°C
增益誤差	PGA=128		±0.1		%
增益誤差漂移	PGA=128		±2	±3	ppm/°C
<b>參考電壓輸入</b>					
負參考電壓輸入	REFN	AGND-0.1		AGND+0.6	V
正參考電壓輸入	REFP	REFN +1.5		AVDD+0.1	V
REFP - REFN		1.5	AVDD	AVDD+0.1	V
參考電壓抑制比			54		dB
<b>電源</b>					
類比電源電壓	AVDD	2.8	5	5.5	V
數位電源電壓	DVDD	2.8	5	5.5	V
電源電壓抑制比	PGA=64 · 128		110		dB
類比部分電流	普通模式	PGA=64 · 128	2.7		mA
	Standby mode		3		uA
	Power down		0.1		uA
數位元部分電流	normal mode		360		uA
	Standby mode		100		uA
	Power down		1.5		uA
<b>時鐘</b>					
內部振盪器頻率		4.4	5	5.6	MHz
內置時鐘溫漂			250		ppm/°C
外部振盪器頻率		4	4.9152	5	MHz

## 電器絕對最大極限值

Table 4.

名稱	符號	最小	最大	單位
類比電源電壓	AVDD	-0.3	6	V
數位電源電壓	DVDD	-0.3	6	V
數位地與類比地之間壓差		-0.3	0.3	V
電源瞬間電流			100	mA
電源恒定電流			10	mA
數位管腳輸入電壓		-0.3	DVDD+0.3	V
類比管腳輸入電壓		-0.3	AVDD+0.3	V
節溫			150	°C
工作溫度		-40	105	°C
儲存溫度		-60	150	°C
晶片管腳焊接溫度			240	°C

## 雜訊性能

Table 5.

條件	速度	增益	RMS 雜訊	P - P 雜訊	ENOB(RMS)	NOISE-FREE BITS
AVDD=5V VREF=5V	10HZ	64	23nV	149nV	21.7	19.0
		128	21nV	139nV	20.8	18.1
	80HZ	64	56nV	342nV	20.4	17.8
		128	56nV	298nV	19.4	17
AVDD=3V VREF=3V	10HZ	64	26nV	167nV	20.8	18.1
		128	23nV	145nV	20.0	17.3
	80HZ	64	63nV	383nV	19.5	16.9
		128	67nV	358nV	18.4	16

## 晶片引腳

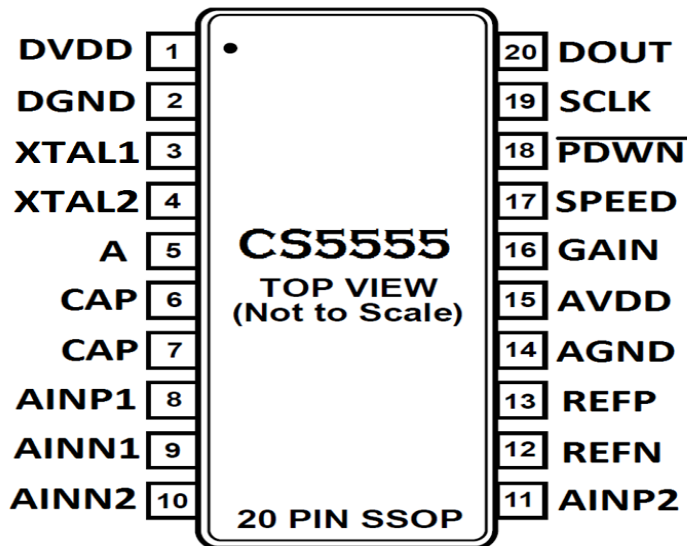


Figure 2.

Table 6.

序號	引腳名稱	輸入/輸出	說明
1	DVDD	P	數字電源
2	DGND	P	數字地
3	XTAL1	DI	震盪器輸入；當 XTAL1 接到 DGND 則選擇內部晶振；負載電容建議 10pf
4	XTAL2	DO	震盪器輸出
5	A	AI	通道選擇：0：選擇通道 1；1：選擇通道 2
6	CAP	AI	PGA 放大器輸出，CAP1、CAP2 之間外接 0.1~0.44uF 電容
7	CAP	AI	
8	AINP1	AI	通道 1 正輸入
9	AINN1	AI	通道 1 負輸入
10	AINN2	AI	通道 2 負輸入
11	AINP2	AI	通道 2 正輸入
12	REFN	AI	參考電壓負端輸入
13	REFP	AI	參考電壓正端輸入
14	AGND	P	模擬地
15	AVDD	P	模擬電源
16	GAIN	AI	PGA 選擇：0：選擇 PGA64；1：選擇 PGA128
17	SPEED	DI	輸出速率選擇：speed=0·10Hz；speed=1·80Hz
18	PWDN	DI	power down 控制埠(低電平有效)
19	SCLK	DI	SPI 時鐘輸入埠
20	DOUT	DO	SPI 資料登錄/輸出埠

## 功能模組描述

### 模擬輸入

CS5555 中有 1 路 ADC，集成 2 通道差分輸入，信號輸入可以是差分輸入信號 AINP1、AINN1 或 AINP2、AINN2。AINP1、AINN1 或 AINP2、AINN2 的切換由 A 控制。其基本結構如 Figure3 圖所示：

A : 0 : 選擇通道 1 ;

A : 1 : 選擇通道 2

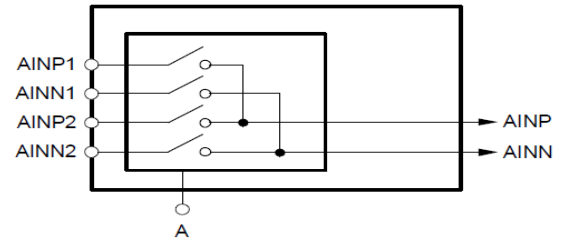


Figure3

### 低噪聲放大器

CS5555 集成低雜訊，低漂移 PGA 放大器與橋式感測器差分輸出連接，其內部基本結構如 Figure4 所示，前置抗 EMI 濾波器電路  $R=350\Omega$ ， $C=20\text{pF}$  實現 20M 高頻濾波。低雜訊 PGA 放大器通過  $R_{F1}$ 、 $R_1$ 、 $R_{F2}$  實現 64 倍放大，與後級電路組成 64 和 128 的 PGA 放大。通過對引腳 GAIN 的控制來選擇 64 倍，128 倍等不同的增益倍數。在 CAP 埠處接一個外置  $0.2\sim 0.47\mu\text{F}$  電容，與內置  $2\text{K}$  電阻  $R_{INT}$  組成一個低通濾波電路，用於低雜訊 PGA 放大器輸出信號的高頻濾波，同時該低通濾波器也可以作為 ADC 的抗混疊濾波器。

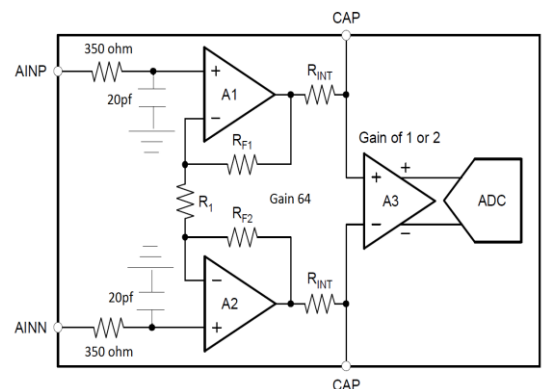


Figure4

### 復位和斷電

當晶片上電時，內置上電重置電路會使晶片自動重置。將引腳  $\overline{PDWN}$  埠拉低，可以使整個系統進入 Power down 狀態，此時功耗低於  $1.6\mu\text{A}$ ，正常使用時將  $\overline{PDWN}$  拉高。

### 數位邏輯特性

Table 7.

參數	最小	典型	最大	單位	條件說明
VIH	$0.7 \times \text{DVDD}$		$\text{DVDD} + 0.1$	V	
VIL	DGND		$0.3 \times \text{DVDD}$	V	
VIH ( PWDN )	$0.8 \times \text{DVDD}$		$\text{DVDD} + 0.1$	V	
VIL ( PWDN )	DGND		$0.2 \times \text{DVDD}$	V	
VOH	$\text{DVDD} - 0.4$		DVDD	V	loh=1mA
VOL	DGND		$0.2 \times \text{DVDD}$	V	loL=1mA
IIH			10	uA	VI=DVDD
IIL	-10			uA	VI=DGND
外置時鐘工作頻率範圍 <sup>(1)</sup>	0.2	4.9152	8	MHz	
串口時鐘工作頻率範圍 <sup>(2)</sup>			2	MHz	

(1) 晶片工作時鐘頻率 / (2) 串口通信時鐘 SCLK 的頻率

## SPI 串口通信

CS5555 採用 2 線 SPI 串口通信，通過 SCLK 和 DOUT 可以實現資料的接收。CS5555 可以持續的轉換類比輸入信號，當將 DOUT 拉低後，表明資料已經準備好，輸入的第一個 SCLK 就可以將 24 位 AD 值的最高位讀出，在 24 個 SCLK 後，將所有的 24 位元 DOUT 資料讀出，之後 DOUT 會保持著最後一位元的資料，直到下一個資料準備好之前拉高，此後當 DOUT 被再次拉低，表示新的資料已經轉換完成，可進行下一個資料讀取。在接收完成一組資料後，應當保持 SCLK 的電平為低，防止 SCLK 高電平時間過長，使 CS5555 誤入待機模式。每次資料讀取可以不需要讀完 24bit 資料，是否全部讀完 24bit 資料對下次模數轉換沒有影響。

## ADC 轉換建立時間

數位部分需要有四個資料轉換週期滿足類比輸入信號的建立和濾波器的建立時間要求。通道間切換，到新的正確的資料到來都需要四個資料轉換週期。整個建立過程如 Figure5.圖所示：

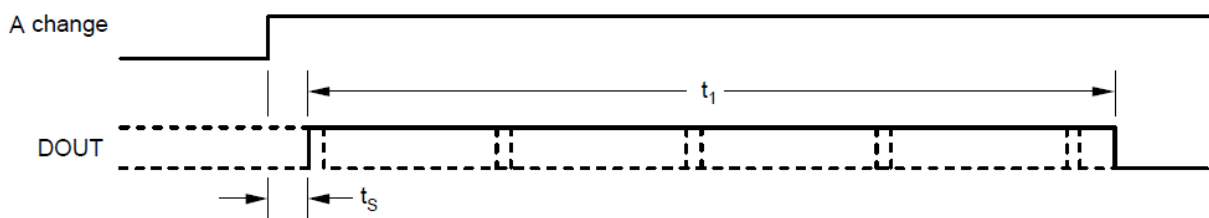


Figure5.

Table 8.

參數	描述 <sup>(1)</sup>	最小值	最大值	單位
ts	改變 A 後的建立時間	40	50	us
t1	建立時間 (DOUT 保持高電平)	SPEED = 1	57	ms
		SPEED = 0	407	ms

(1) 值是在 fclk=4.9152MHz 時對應的值，不同的 fclk 頻率，數值等比例變化。

CS5555 在連續轉換過程中，若外部差分輸入信號發生突然變化，同樣需要建立時間。突變的信號需要 4 個轉換週期進行建立，第 5 個轉換週期得到最終的 AD 值。Figure6 描述突變信號建立的過程。若在建立的過程中，信號再發生突變，則忽略之前的建立，需要新的 4 個轉換週期進行建立，之後緊接著的第 5 個轉換週期得到最終的 AD 值如 Figure6.圖所示。

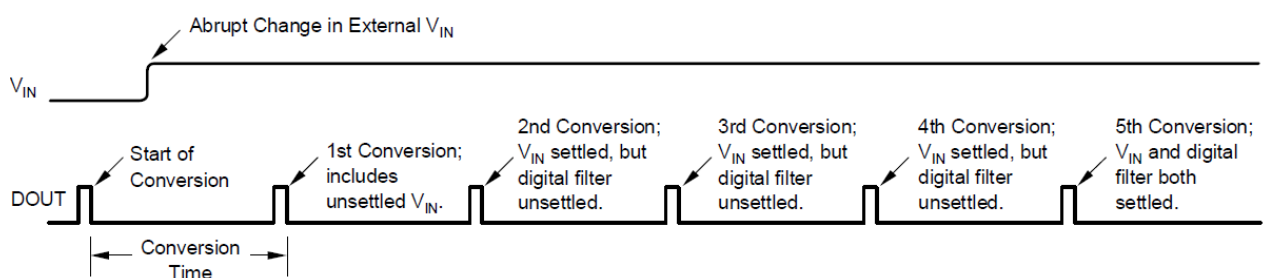


Figure6.

## 輸出速率

CS5555 的輸出速率可以通過 SPEED 引腳設置。當 SPEED 為低電平時，輸出速率為 10Hz，此時輸出速率擁有最小的雜訊，並對 50Hz/60Hz 雜訊有很好的抑制作用；當 SPEED 為高電平時，輸出速率為 80Hz。

## 資料格式

CS5555 輸出的資料為 24 位元的 2 進制補數，最高位 (MSB) 最先輸出。最小有效位 (LSB) 為  $(0.5V_{REF}/Gain)/(2^{23}-1)$ 。正值滿幅輸出碼為 7FFFFFFH，負值滿幅輸出碼為 800000H。下表為不同類比輸入信號對應的理想輸出碼。

## 資料準備/資料輸出(DOUT)

DOUT 引腳有 2 個用途。第一，當輸出為低時，表示新的資料已經轉換完成；第二，作為資料輸出引腳，當資料準備好後，在第 1 個 SCLK 的上升沿後，DOUT 輸出轉換資料的最高位元 (MSB)。在每一個 SCLK 的上升沿，資料會自動移 1 位元。在 24 個 SCLK 後，將所有的 24 位元 DOUT 資料讀出，之後 DOUT 會保持著最後一位元的資料，直到下一個資料準備好之前拉高，此後當 DOUT 被再次拉低，表示新的資料已經轉換完成，可進行下一個資料讀取。

Table 9.

SPEED PIN	DATA RATE
	Internal Oscillator
0	10SPS
1	80SPS

Table 10.

INPUT SIGNAL $V_{IN}$ (AINP - AINN)	IDEAL OUTPUT CODE
$\geq +0.5V_{REF}/Gain$	7FFFFFFh
$(+0.5V_{REF}/Gain)/(2^{23}-1)$	000001h
0	000000h
$(-0.5V_{REF}/Gain)/(2^{23}-1)$	FFFFFFh
$\leq -0.5V_{REF}/Gain$	800000h

Excludes effects of noise, INL, offset, and gain errors.

## 串列時鐘輸入(SCLK)

串列時鐘輸入是一個數位引腳。這個信號應保證是一個乾淨的信號，毛刺或慢速的上升沿都會可能導致讀取錯誤資料或誤入錯誤狀態。因此，應保證 SCLK 的上升和下降時間都小於 50ns。

## 資料接收

CS5555 可以持續的轉換類比輸入信號，當將 DOUT 拉低後，表明資料已經準備好接受，輸入的第一個 SCLK 來就可以將輸出的最高位讀出，在 24 個 SCLK 後，將所有的 24 位元 DOUT 資料讀出，之後 DOUT 會保持著最後一位元的資料，直到其被拉高如圖 Figure7 所示，通過第 25 個 SCLK 可以將 DOUT 拉高，此後當 DOUT 被再次拉低，表示新的資料已經準備好接受，進行下一個資料的轉換。其基本時序如圖 Figure8 所示：

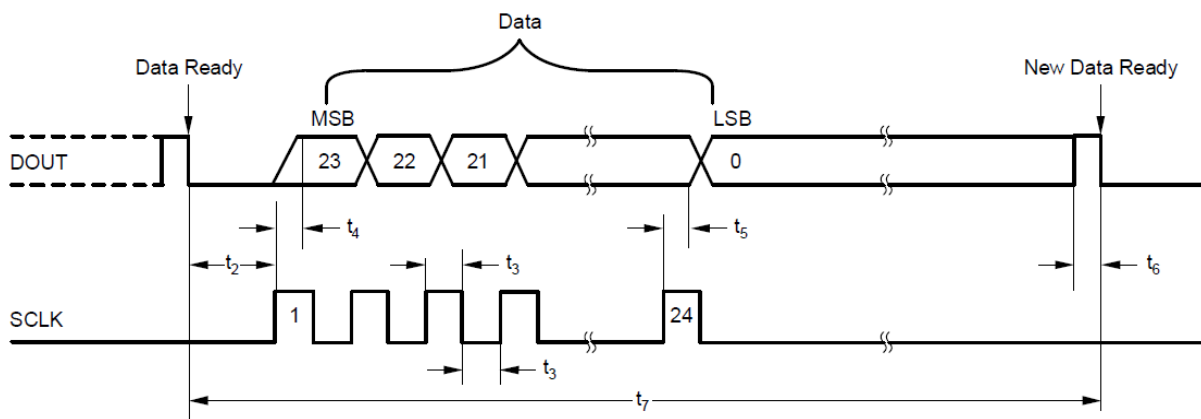


Figure 7.

Table 11.

SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
$t_2$	DOUT變低後到第一個SCLK上升沿	0			ns
$t_3$	SCLK 高電平或低電平脈寬	250			ns
$t_4$	SCLK上升沿到新資料位元有效(傳輸延遲)			200	ns
$t_5$	SCLK上升沿到舊資料位元有效(保持時間)	0			ns
$t_6^{(1)}$	資料更新，不允許讀之前的資料	39			us
$t_7^{(1)}$	轉換時間 (1/data rate)	SPEED = 1	12.5		ms
		SPEED = 0	100		ms

(1) Values given for  $f_{CLK} = 4.9152\text{MHz}$ .

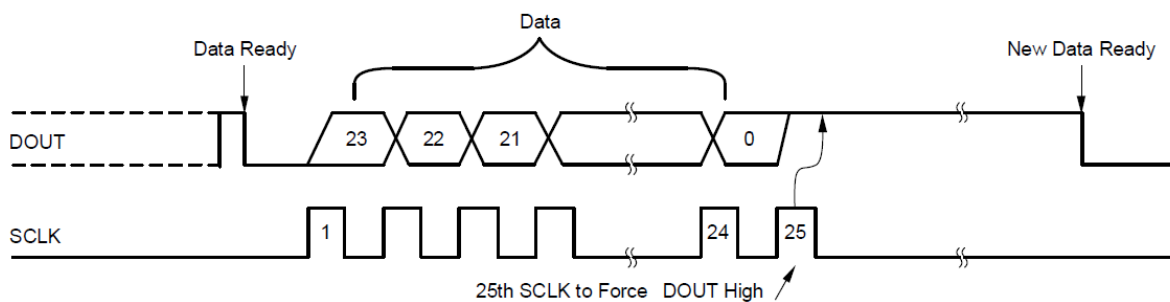
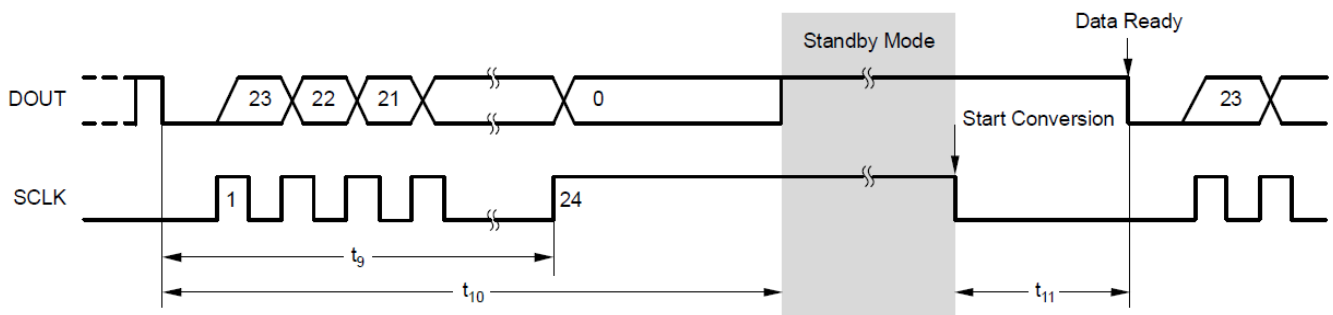


Figure 8.

## 待機模式

待機模式通過關閉大部分電路來減小功耗。在待機模式中，整個類比電路關閉，只有時鐘電路工作。進入待機模式的方式是，DOUT 變低後（資料準備好），一直保持 SCLK 高電平即可進入待機模式。進入待機模式的方式是在任何讀取資料過程中。當 SCLK 保持高電平滿足  $t_{10}$ ，待機模式將會啟動。進入待機模式，DOUT 會保持高電平。在待機模式，SCLK 必須一直保持為高電平。當 SCLK 變低電平時，晶片退出待機模式開始新的資料轉換。其基本時序如圖 *Figure9* 所示：



*Figure9.*

**Table 12.**

參數	描述		最小值	最大值	單位
$t_9^{(1)}$	在 DOUT 變低後，SCLK 拉高進入 standby 模式	SPEED = 1	0	12.44	ms
		SPEED = 0	0	99.94	ms
$t_{10}^{(1)}$	standby 模式啟動時間	SPEED = 1	12.46		ms
		SPEED = 0	99.96		ms
$t_{11}^{(1)}$	退出 standby 後到數據準備好	SPEED = 1	57	57	ms
		SPEED = 0	407	407	ms

(1) Values given for fCLK = 4.9152MHz.

## 斷電模式

$\overline{PDWN}$  信號有效時關掉晶片所有電路，功耗小於 1.6 $\mu$ A。只需把  $\overline{PDWN}$  引腳保持低電平，即可進入 Power down 模式。如圖 Figure10 所示：

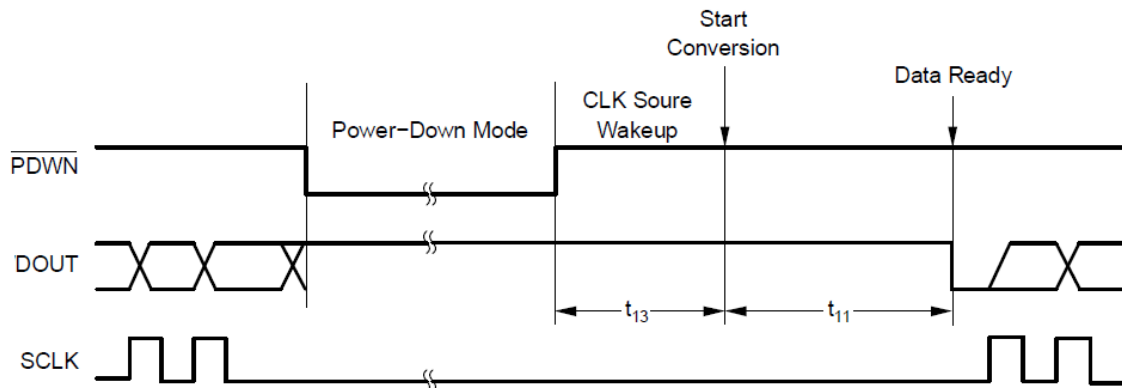


Figure10.

Table 13.

參數	描述	典型值	單位	
$t_{13}^{(1)}$	在 POWER DOWN 模式下喚醒時間	內部時間	7.95	us
		外部時間	0.16	us
		晶振	5.6	ms
$t_{14}^{(1)}$	$\overline{PDWN}$ 脈寬	26 ( min )	us	

(1) 值是在  $f_{clk}=4.9152\text{MHz}$  時對應的值

## Power down 後 上電順序

AVDD 和 DVDD 必須在  $\overline{PDWN}$  信號變成高電平之前上電。

## 應用電路(衡器上應用)

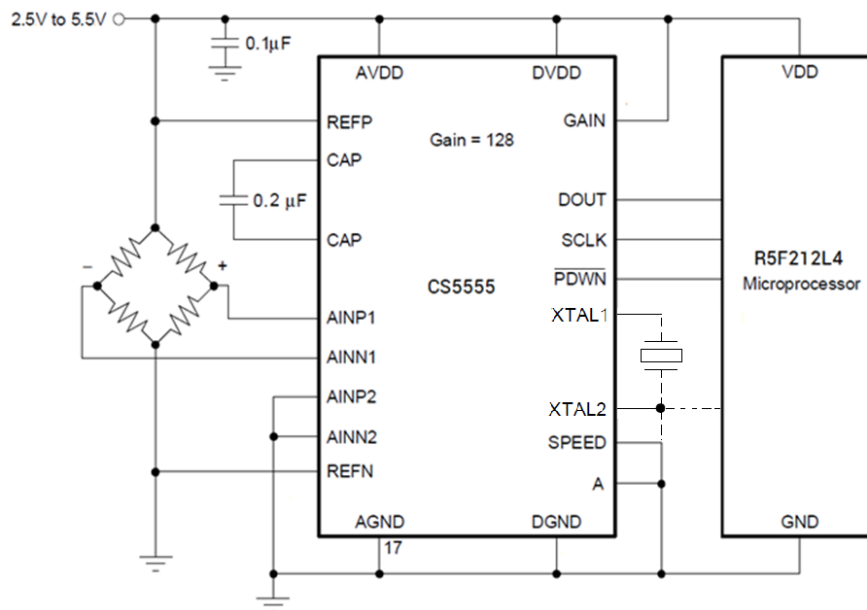
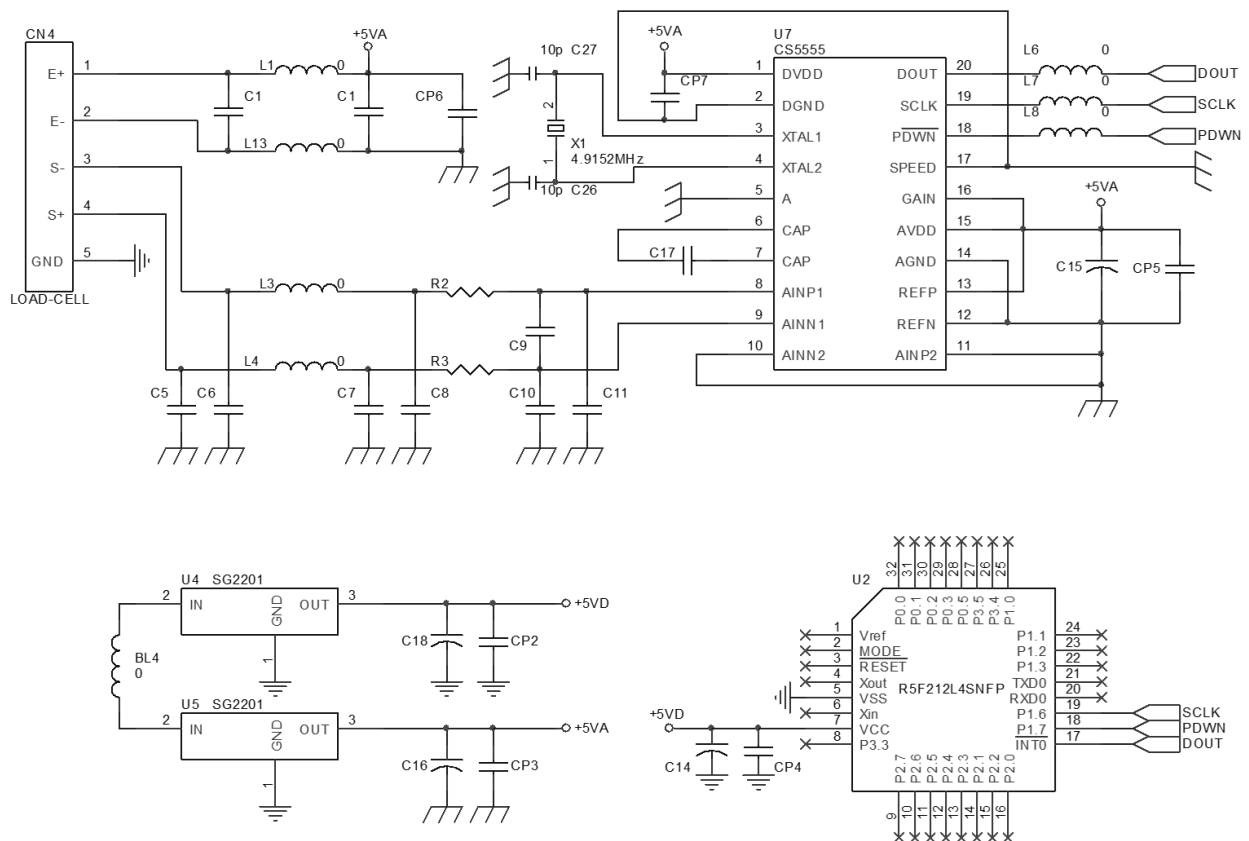


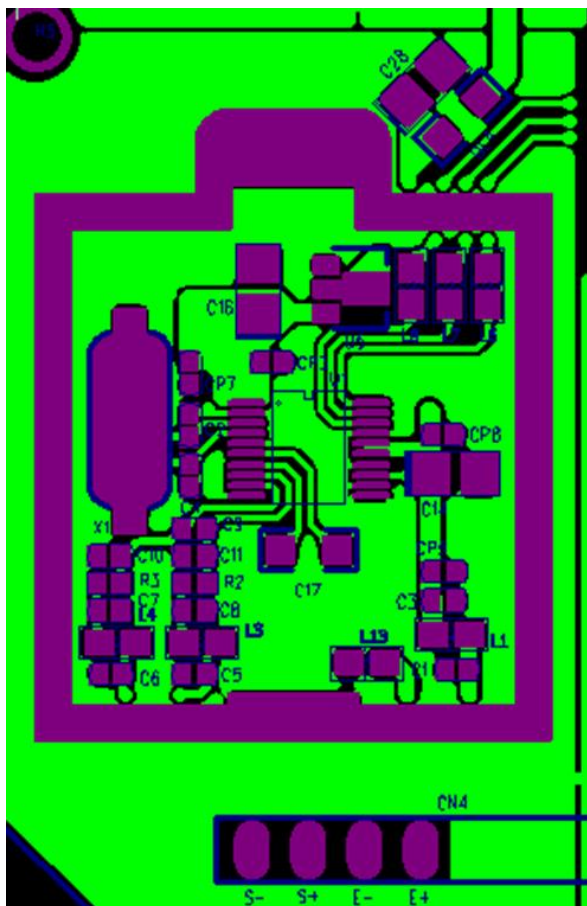
Figure11.

## OIML 應用電路

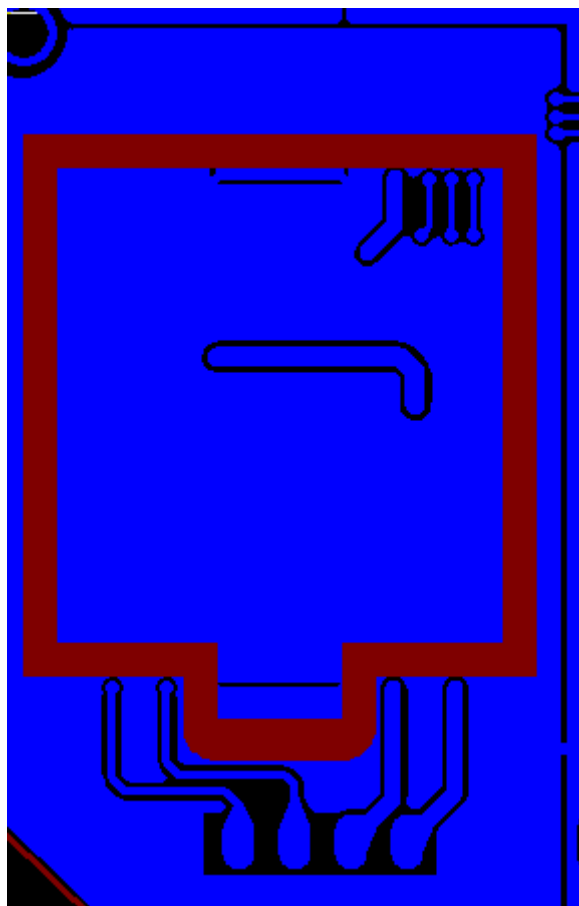


相關技術問題請聯繫代理商

OIML LAYOUT 佈板參考



零件層



底層

# PACKAGING 封装

## 20 PIN SSOP PACKAGE DRAWING

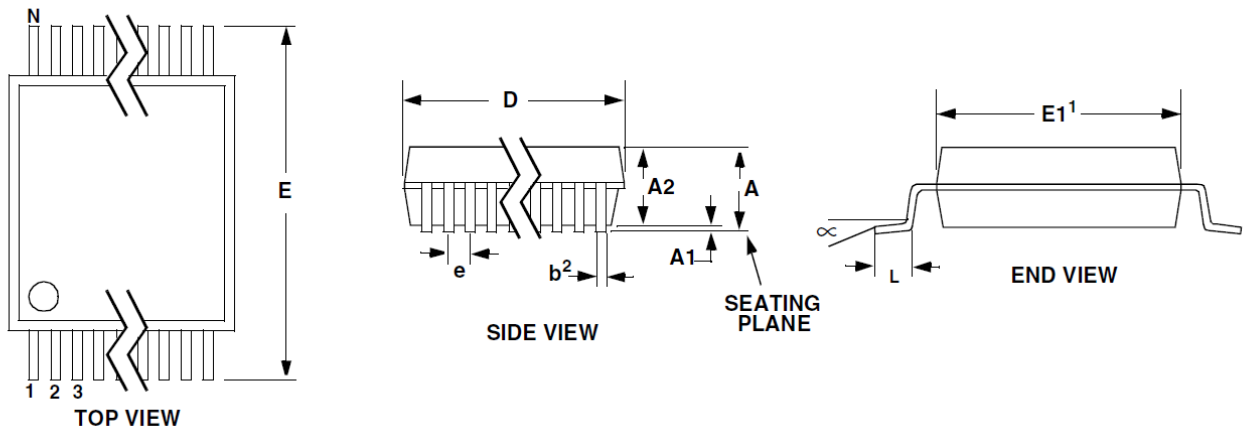


Figure12.

DIM	INCHES		MILLIMETERS		NOTE
	MIN	MAX	MIN	MAX	
A	--	0.084	--	2.13	
A1	0.002	0.010	0.05	0.25	
A2	0.064	0.074	1.62	1.88	
b	0.009	0.015	0.22	0.38	2,3
D	0.272	0.295	6.90	7.50	1
E	0.291	0.323	7.40	8.20	
E1	0.197	0.220	5.00	5.60	1
e	0.024	0.027	0.61	0.69	
L	0.025	0.040	0.63	1.03	
$\infty$	0°	8°	0°	8°	

- Notes:
1. "D" and "E1" are reference datums and do not include mold flash or protrusions, but do include mold mismatch and are measured at the parting line, mold flash or protrusions shall not exceed 0.20 mm per side.
  2. Dimension "b" does not include dambar protrusion/intrusion. Allowable dambar protrusion shall be 0.13 mm total in excess of "b" dimension at maximum material condition. Dambar intrusion shall not reduce dimension "b" by more than 0.07 mm at least material condition.
  3. These dimensions apply to the flat section of the lead between 0.10 and 0.25 mm from lead tips.