

功能特性

- 工作電壓範圍: 2.8~5.5V
- 工作電流: 工作模式: 5mA/低功耗模式: 1uA
- 內置低雜訊放大器, 1~128 倍可靈活配置
- 單通道差分信號輸入
- 32 位高精度低零漂 Sigma-Delta ADC
- 取樣速率 6.25 Hz~6400 Hz
- 線性度 0.001% FS, 24BIT 有效位數
- 雜訊水準: $6\text{nV}/\sqrt{\text{Hz}}$ @ 128 倍 PGA
- 零漂: 小於 1uV @ 64/128 倍 PGA
- 集成 4.9MHz 內部高頻 RC 時鐘, -40~85°C

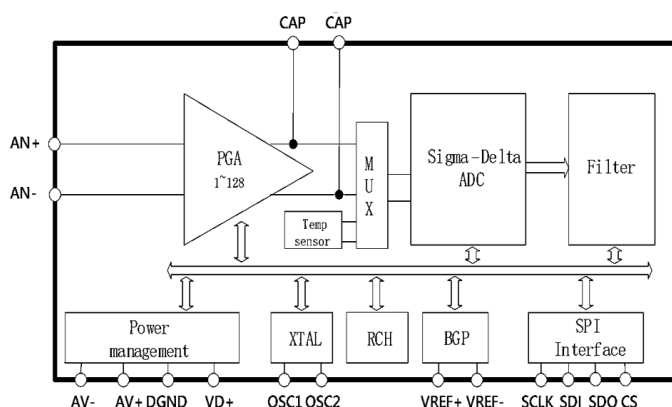
範圍內溫漂 1%

- 集成 10ppm/°C 的高精度基準參考電壓源
- 內置溫度感測器
- SPI 介面支援最高 10MHz
- 工作溫度範圍: -40~+85°C
- 存儲溫度範圍: -40~+125°C
- 封裝樣式: SSOP20

應用場合

- 工業程式控制
- 電子秤
- 液體/氣體化學分析
- 血液計
- 智能變換器
-

功能方塊圖



概述

CS5551 為一款 SPI 介面的單通道、32 位元高精度 ADC 晶片, 內置 1~128 倍可程式設計的低雜訊儀錶放大器、高精度 Sigma-Delta ADC, 同時內部集成溫度感測器、高精度基準電壓源、晶體起振電路、高頻內部 RC 時鐘源。

ADC 實際有效精度 (ENOB) 24BIT@1 倍 PGA, 22BIT@64 倍 PGA, 等效輸入雜訊低至 $6\text{nV}/\sqrt{\text{Hz}}$ 。輸出碼率可配置為 6.25Hz 至 6400Hz。

可用于各類電子秤、分析天平、工業程序控制、直流/交流電能測量、耳溫槍等需要高精度、低零漂的應用場合。

1 電器規格特性

1.1 極限參數

當外部輸入或是環境參數超過下面條件時，很可能會對於晶片造成損壞或是縮短其使用壽命。
下表只代表會造成損壞的範圍，不代表可以正常工作的範圍。

Table 1-1 極限參數表

Symbol	Ratings	Min	Max	Unit
AV+/DV+	電源電壓	-0.3	+6	V
Vsig	信號輸入信號	-0.3	+6	V
TS	存儲溫度	-50	+150	°C
TJ	Junction Temperature under bias	-40	+125	°C

1.2 工作參數

Table 1-2 工作參數表

Symbol	Parameter	Min	Typ	Max	Unit
AV+/DV+	IO 口電壓	2.8	5	5.5	V
I _{ACTIVE}	工作電流		5		mA
I _{PD}	休眠電流		0.6		uA
VPOR	上電重定電壓	1.9	2	2.1	
VLVD	掉電監測電壓	2.8	2.9	3	
TA	溫度範圍	-40	25	85	°C

1.3 ESD/LU 性能

Table 1-3 ESD/Latch-Up 性能指標

Symbol	Parameter	Min	Max	Unit
ESD(HBM)	HBM 模型的 ESD 放電電壓	-4000	4000	V
Latch-Up	Latch-Up 測試電流 (@85°C)	-200	200	mA

1.4 GPIO 參數

Table 1-4 GPIO 參數表

Symbol	Parameter	DV+	Min	Typ	Max	Unit
V _{IH}	輸入信號高閾值	5V	4		5.5	V
V _{IL}	輸入信號低閾值	5V	-0.3		1	V
V _{T+}	施密特由低變高電壓的閾值	5V	2.72	2.92	3.17	V
V _{T-}	施密特由高變低電壓的閾值	5V	1.85	2	2.17	V
I _{IH}	輸入高電平的電流	5V			+1	uA
I _{IL}	輸入低電平的電流	5V	-1			uA
V _{OL}	輸出低電平 (@IOL 電流條件)	5V			0.4	V
V _{OH}	輸出高電平 (@IOH 電流條件)	5V	4			V
I _{OL}	輸出低電平電流@VOL (max)	5V	4.9	8.8	13.9	mA
I _{OH}	輸出高電平電流@VOH (min)	5V	5.5	15.6	29.9	mA

1.5 ADC 性能指標

Table 1-5 ADC 性能指標表

AV+=5V DV+=5V VREF+=5V 條件條件下測試

Parameter	Min	Typ	Max	Unit
精度				
線性度(Linearity)		±0.001		%FS
有效位數 (ENOB)		24@PGA=1 22@PGA=64		BIT
無雜訊位數 (Noise Free Bits)		21.5@PGA=1 19.5@PGA=64		BIT
等效雜訊密度 (Noise Floor)		6.2	9	nV/ $\sqrt{Hz}$
零漂 (Offset)		1	3	uV
零漂溫漂 (Offset drift)		10		nV/°C
增益誤差(Gain error)		0.1		%
增益溫漂 (Gain drift)		3		ppm/°C
信號輸入				
輸入信號共模範圍	AV-		AV+	V
差分輸入電流		2		nA
信號輸入阻抗		>1G		Ω
輸入共模抑制比 (CMRR)		140		dB
基準電壓				
VREF+-VREF-	1		AV+-AV-	V
差分輸入電流		2		nA
內置基準電壓	1.17	1.2	1.23	V
內置基準電壓溫度係數		10		ppm/°C
時鐘				
ADC 轉換速率 (Data Rate)	6.25		200	Hz
晶體時鐘頻率		4.9152		MHz
內部 RC 時鐘頻率		4.9		MHz
電源				
AV+ 電源範圍	2.8	5	5.5	V
DV+ 電源範圍	2.8	5	5.5	V
電源抑制比 (PSRR)		140		dB

Table 1-6 等效輸入 RMS 雜訊(nV)

AV+=5V DV+=5V VREF+=5V 條件條件下測試

數據碼率 (Hz)	-3dB 頻寬 (Hz)	雜訊(nV)@PGA(倍)							
		128	64	32	16	8	4	2	1
6.25	1.64	15.70	17.66	21.56	29.38	45.00	76.25	138.75	250.00
12.5	3.27	22.21	24.97	30.49	41.54	63.64	107.83	196.22	353.55
25	6.54	31.41	35.31	43.13	58.75	90.00	152.50	277.50	500.00
50	13.09	44.42	49.94	60.99	83.09	127.28	215.67	392.44	707.11
100	26.18	62.81	70.63	86.25	117.50	180.00	305.00	555.00	1000.00
200	52.36	88.83	99.88	121.98	166.17	254.56	431.34	784.89	1414.21
400	104.71	125.70	156.57	218.30	341.78	588.73	1082.63	2070.43	3951.20
800	209.42	177.76	221.43	308.73	483.35	832.60	1531.07	2928.04	5587.85
1600	418.85	251.40	313.13	436.61	683.56	1177.46	2165.26	4140.86	7902.4
3200	837.70	355.53	442.83	617.45	966.70	1665.17	3062.14	5856.05	11175.67
6400	1306.12	502.79	626.27	873.22	1367.12	2354.92	4330.52	8281.72	15804.8

Table 1-7 ENOB

AV+=5V DV+=5V VREF+=5V 條件條件下測試

數據碼率 (Hz)	-3dB 頻寬 (Hz)	雜訊(nV)@PGA(倍)							
		128	64	32	16	8	4	2	1
6.25	1.64	21.2	22.1	22.8	23.3	23.7	24.0	24.1	24.3
12.5	3.27	20.7	21.6	22.3	22.8	23.2	23.5	23.6	23.8
25	6.54	20.2	21.1	21.8	22.3	22.7	23.0	23.1	23.3
50	13.09	19.7	20.6	21.3	21.8	22.2	22.5	22.6	22.8
100	26.18	19.2	20.1	20.8	21.3	21.7	22.0	22.1	22.3
200	52.36	18.7	19.6	20.3	20.8	21.2	21.5	21.6	21.8
400	104.71	18.3	19.0	19.5	19.9	20.1	20.2	20.2	20.3
800	209.42	17.9	18.5	19.0	19.4	19.6	19.7	19.8	19.9
1600	418.85	17.4	18.1	18.5	18.9	19.1	19.2	19.3	19.4
3200	837.70	16.9	17.6	18.1	18.4	18.6	18.7	18.8	18.9
6400	1306.12	16.4	17.1	17.6	18.0	18.1	18.2	18.3	18.4

Table 1-8 Noise Free Bits

AV+=5V DV+=5V VREF+=5V 條件條件下測試

數據碼率 (Hz)	-3dB 頻寬 (Hz)	雜訊(nV)@PGA(倍)							
		128	64	32	16	8	4	2	1
6.25	1.64	18.7	19.6	20.3	20.8	21.2	21.5	21.6	21.8
12.5	3.27	18.2	19.1	19.8	20.3	20.7	21.0	21.1	21.3
25	6.54	17.7	18.6	19.3	19.8	20.2	20.5	20.6	20.8
50	13.09	17.2	18.1	18.8	19.3	19.7	20.0	20.1	20.3
100	26.18	16.7	17.6	18.3	18.8	19.2	19.5	19.6	19.8
200	52.36	16.2	17.1	17.8	18.3	18.7	19.0	19.1	19.3
400	104.71	15.9	16.5	17.0	17.4	17.6	17.7	17.8	17.9
800	209.42	15.4	16.1	16.5	16.9	17.1	17.2	17.3	17.4
1600	418.85	14.9	15.6	16.1	16.4	16.6	16.7	16.8	16.9
3200	837.70	14.5	15.1	15.6	16.0	16.2	16.2	16.3	16.4
6400	1306.12	14.0	14.6	15.1	15.5	15.7	15.8	15.9	16.0

2 晶片引腳

2.1 引腳定義

DIFFERENTIAL ANALOG INPUT	AIN1+	1	20	NC	NOT CONNECT
DIFFERENTIAL ANALOG INPUT	AIN1-	2	19	NC	NOT CONNECT
AMPLIFIER CAPACITOR CONNECT	CAP	3	18	VREF+	VOLTAGE REFERENCE INPUT
AMPLIFIER CAPACITOR CONNECT	CAP	4	17	VREF-	VOLTAGE REFERENCE INPUT
POSITIVE ANALOG POWER	VA+	5	16	DGND	DIGITAL GROUND
NEGATIVE ANALOG POWER	VA-	6	15	VD+	POSITIVE DIGITAL POWER
NOT CONNECT	NC	7	14	CS	CHIP SELECT
NOT CONNECT	NC	8	13	SDI	SERIAL DATA INPUT
MASTER CLOCK	OSC2	9	12	SDO	SERIAL DATA OUT
MASTER CLOCK	OSC1	10	11	SCLK	SERIAL CLOCK INPUT

Table 2-1

序號	引腳名稱	輸入/輸出	說明
Pin Number	名稱	類型	描述
1	VIN1+	輸入	信號通道 0 正輸入端
2	VIN1-	輸入	信號通道 0 負輸入端
3	CAP	輸入/輸出	去耦電容埠 CAP，在 CAP 之間接一個 100nF 的瓷片電容。
4	CAP	輸入/輸出	如設置的輸出資料碼率在 3.2kHz 以上，則應改為 1nF 或 510pF 的電容
5	VA+	電源	模擬電源，AV+ 和 AV- 之間接一個大於等於 1uF 的瓷片電容模擬地
6	VA-	地	模擬地
7	NC	輸出	空 PIN 不須外接
8	NC	輸出	空 PIN 不須外接
9	OSC1	輸入	晶體輸入，在 XIN/XOUT 之間接一個 4.9152MHz 的晶體，無需外部電容
10	OSC2	輸出	晶體輸出
11	SCLK	輸入	SPI 時鐘輸入，建議片外接 10K Ohm 上拉至電源的電阻
12	SDO	輸出	SPI 資料輸出，建議片外接 10K Ohm 上拉至電源的電阻
13	SDI	輸入	SPI 資料登錄，建議片外接 10K Ohm 上拉至電源的電阻
14	CS	輸入	SPI 片選輸入，低電平有效
15	VD+	電源	數字電源，DV+ 和 DGND 之間接一個大於 0.1uF 的瓷片電容
16	DGND	地	數字地
17	VREF-	輸入/輸出	基準電壓源負輸入端，一般情況接 AV-
18	VREF+	輸入/輸出	基準電壓源正輸入端，VREF+ 和 VREF- 之間接一個大於等於 1uF 的瓷片電容
19	NC	輸出	空 PIN 不須外接
20	NC	輸出	空 PIN 不須外接

8. PACKAGING 封裝

20 PIN SSOP PACKAGE DRAWING

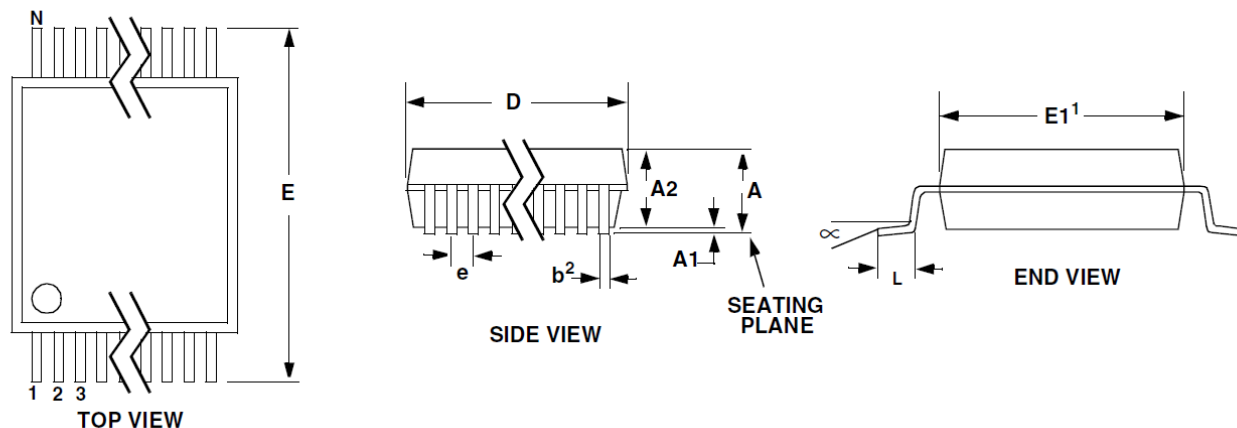


Figure12.

DIM	INCHES		MILLIMETERS		NOTE
	MIN	MAX	MIN	MAX	
A	--	0.084	--	2.13	
A1	0.002	0.010	0.05	0.25	
A2	0.064	0.074	1.62	1.88	
b	0.009	0.015	0.22	0.38	2,3
D	0.272	0.295	6.90	7.50	1
E	0.291	0.323	7.40	8.20	
E1	0.197	0.220	5.00	5.60	1
e	0.024	0.027	0.61	0.69	
L	0.025	0.040	0.63	1.03	
∞	0°	8°	0°	8°	

- Notes: 1. "D" and "E1" are reference datums and do not include mold flash or protrusions, but do include mold mismatch and are measured at the parting line, mold flash or protrusions shall not exceed 0.20 mm per side.
2. Dimension "b" does not include dambar protrusion/intrusion. Allowable dambar protrusion shall be 0.13 mm total in excess of "b" dimension at maximum material condition. Dambar intrusion shall not reduce dimension "b" by more than 0.07 mm at least material condition.
3. These dimensions apply to the flat section of the lead between 0.10 and 0.25 mm from lead tips.